

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 08274257

(43)Date of publication of application: 18.10.1996

(51)Int.Cl.

H01L 27/04

H01L 21/822

(21)Application number: 08076940

(71)Applicant:

YAMAHA CORP

(22)Date of filing: 29.03.1996

(72)Inventor:

TAKAHASHI TOSHIYUKI

SUGA SHIGERU

MAKINO TOUHACHI

(56)Priority

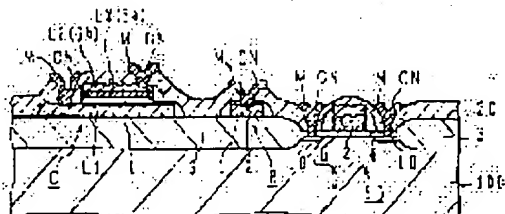
Priority number: 95 414761 Priority date: 31.03.1995 Priority country: US

(54) CAPACITOR-CONTAINING SEMICONDUCTOR DEVICE, AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To suppress the increase in manufacturing cost, to suppress complexity of manufacturing process and to prevent the deterioration in electric characteristics of a capacitor element, etc., by a method wherein the second and the third conductive layers are etched using a mask member as an etching mask, and the upper electrode and the lower electrode of the capacitor element and the gate electrode of a MOSFET are formed simultaneously.

CONSTITUTION: A polysilicon layer 2 is deposited on the gate oxide film 4 formed on the surface of a semiconductor substrate 10. A dielectric film 1, to be used as a capacitor film, is conformally deposited on the surface of the polysilicon layer 2. The second layer of polysilicon layer 6a is deposited on the dielectric film 1 using a CVD method. The polysilicon layer 6a and the dielectric film 1 are selectively removed, and a laminated structure is left on the region where a capacitor C and a resistance-element-R are formed. A high melting point metal silicide layer 6 is deposited, and polycide etching is performed. The high melting point silicide layer 6b and the polysilicon layer 6a are selectively etched, and the upper electrode L2 of the capacitor element C and a gate electrode G are formed simultaneously.



[Date of request for examination] 27.11.1996  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of  
rejection]  
[Date of requesting appeal against examiner's decision  
of rejection]  
[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)

[SEARCH](#)

[INDEX](#)

(51) Int. Cl.

H01L 27/04  
21/822

識別記号

庁内整理番号

F I

H01L 27/04

技術表示箇所

C

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願平8-76940

(22) 出願日 平成8年(1996)3月29日

(31) 優先権主張番号 08/414761

(32) 優先日 1995年3月31日

(33) 優先権主張国 米国 (U S)

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 高橋 俊行

静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内

(72) 発明者 菅 茂

静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内

(72) 発明者 牧野 善八

静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内

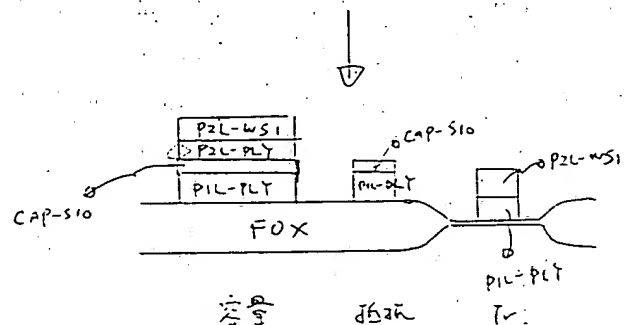
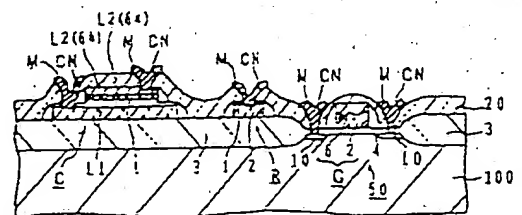
(74) 代理人 弁護士 高橋 敬四郎 (外2名)

(54) 【発明の名称】 キャパシタを含む半導体装置及びその製造方法

## (57) 【要約】

【課題】 過度の工程の複雑化及び製造コストの増大を招くことなく、かつMOSFET、容量素子、及び抵抗素子の電気的特性を犠牲にすることなく、これら各素子を含んだ半導体装置を提供する。

【解決手段】 半導体基板と、半導体基板の表面上に形成されたゲート絶縁膜と、半導体基板の表面上の一部の領域に形成され、第1の材料からなる第1の電極層、誘電体層、第1の材料からなる第2の電極層、及び金属もしくは金属シリサイドからなる第3の電極層がこの順番に積層された容量素子と、ゲート絶縁膜の上の一部の領域に形成され、第1の電極層と同時に堆積された第1のゲート層、及び第3の電極層と同時に堆積された第2のゲート層との積層構造を有するゲート電極とを有する。



## 【特許請求の範囲】

【請求項1】 半導体基板と、前記半導体基板の表面上に形成されたゲート絶縁膜と、前記半導体基板の表面上の一部の領域に形成され、第1の材料からなる第1の電極層、誘電体層、前記第1の材料からなる第2の電極層、及び金属もしくは金属シリサイドからなる第3の電極層がこの順番に積層された容量素子と、前記ゲート絶縁膜の上の一部の領域に形成され、前記第1の電極層と同時に堆積された第1のゲート層、及び前記第3の電極層と同時に堆積された第2のゲート層との積層構造を有するゲート電極とを有する半導体装置。

【請求項2】 半導体基板の表面上に形成されたMOSFET、及び下部電極、絶縁膜及び上部電極が前記半導体基板上にこの順番に積層されて形成された容量素子を含む半導体装置の製造方法において、

半導体基板の表面上にゲート酸化膜を形成する工程と、前記ゲート酸化膜の上に、第1の材料からなる第1の導電層を形成する工程と、

前記第1の導電層の上に誘電体層を形成する工程と、前記誘電体層の上に、前記第1の材料からなる第2の導電層を形成する工程と、

前記第2の導電層及び前記誘電体層を部分的にエッチングし、前記容量素子の下部電極に対応する領域に前記第2の導電層及び前記誘電体層を残す工程と、

前記第2の導電層、誘電体層及び第1の導電層を覆うように、金属または金属シリサイドからなる第3の導電層を形成する工程と、

前記第3の導電層の上に、前記容量素子の上部電極に対応する領域及び前記MOSFETのゲート電極に対応する領域を覆うマスク部材を形成する工程と、

前記マスク部材をエッチングマスクとし、前記誘電体層をエッチング停止層として、前記マスク部材で覆われていない領域の前記第3及び第2の導電層を除去するとともに、前記誘電体層もしくはマスク部材で覆われていない領域の前記第1の導電層を除去する工程とを含み、前記容量素子が、前記第1の導電層により形成される下部電極、前記第2及び第3の導電層により形成される上部電極、及び該上部電極と下部電極との間に挟まれた前記誘電体層により構成される半導体装置の製造方法。

【請求項3】 半導体基板の表面上に形成されたMOSFET、抵抗素子、及び下部電極、絶縁膜、上部電極が前記半導体基板上にこの順番に積層されて形成された容量素子を含む半導体装置の製造方法において、

半導体基板の表面上にゲート酸化膜を形成する工程と、前記ゲート酸化膜の上に、第1の材料からなる第1の導電層を形成する工程と、

前記第1の導電層の上に誘電体層を形成する工程と、前記誘電体層の上に、前記第1の材料からなる第2の導電層を形成する工程と、

前記第2の導電層及び前記誘電体層を部分的にエッチングし、前記容量素子の下部電極に対応する領域及び前記抵抗素子に対応する領域に前記第2の導電層及び前記誘電体層を残す工程と、

前記第2の導電層、誘電体層及び第1の導電層を覆うように、金属または金属シリサイドからなる第3の導電層を形成する工程と、

前記第3の導電層の上に、前記容量素子の上部電極に対応する領域及び前記MOSFETのゲート電極に対応する領域を覆うマスク部材を形成する工程と、

前記マスク部材をエッチングマスクとし、前記誘電体層をエッチング停止層として、前記マスク部材で覆われていない領域の前記第3及び第2の導電層を除去するとともに、前記誘電体層もしくはマスク部材で覆われていない領域の前記第1の導電層を除去する工程とを含み、

前記容量素子が、前記第1の導電層により形成される下部電極、前記第2及び第3の導電層により形成される上部電極、及び該上部電極と下部電極との間に挟まれた前記誘電体層により構成され、前記抵抗素子が、前記第1の導電層により構成される半導体装置の製造方法。

【請求項4】 半導体基板と、

前記半導体基板の表面上に形成されたゲート絶縁膜と、前記半導体基板の表面上の一部の領域に形成され、第1の材料からなる第1の電極層、誘電体層、前記第1の材料からなる第2の電極層、及び金属または金属シリサイドからなる第3の電極層がこの順番に積層された容量素子と前記ゲート絶縁膜の上の一部の領域に形成され、前記第1の電極層と同時に堆積された第1のゲート層、前記第2の電極層と同時に堆積された第2のゲート層、及び前記第3の電極層と同時に堆積された第3のゲート層の積層構造を有するゲート電極とを有する半導体装置。

【請求項5】 半導体基板の表面上に形成されたMOSFET、及び下部電極、絶縁膜及び上部電極が前記半導体基板上にこの順番に積層されて形成された容量素子を含む半導体装置の製造方法において、

半導体基板の表面上にゲート酸化膜を形成する工程と、前記ゲート酸化膜の上に、第1の材料からなる第1の導電層を形成する工程と、

前記第1の導電層の上に誘電体層を形成する工程と、前記誘電体層を部分的にエッチングし、前記容量素子の下部電極に対応する領域に前記誘電体層を残す工程と、

前記誘電体層及び第1の導電層を覆うように、前記第1の材料からなる第2の導電層を形成する工程と、

前記第2の導電層の上に、金属もしくは金属シリサイドからなる第3の導電層を形成する工程と、

前記第3の導電層の上に、前記容量素子の上部電極に対応する領域及び前記MOSFETのゲート電極に対応する領域を覆うマスク部材を形成する工程と、

前記マスク部材をエッチングマスクとし、前記誘電体層をエッチング停止層として、前記マスク部材で覆われて

いない領域の前記第3及び第2の導電層を除去するとともに、前記誘電体層もしくはマスク部材で覆われていない領域の前記第1の導電層を除去する工程とを含み、前記容量素子が、前記第1の導電層により形成される下部電極、前記第2及び第3の導電層により形成される上部電極、及び該上部電極と下部電極との間に挟まれた前記誘電体層により構成される半導体装置の製造方法。

【請求項6】 半導体基板の表面上に形成されたMOSFET、抵抗素子、及び下部電極、絶縁膜、上部電極が前記半導体基板上にこの順番に積層されて形成された容量素子を含む半導体装置の製造方法において、半導体基板の表面上にゲート酸化膜を形成する工程と、前記ゲート酸化膜の上に、第1の材料からなる第1の導電層を形成する工程と、前記第1の導電層の上に誘電体層を形成する工程と、前記誘電体層を部分的にエッチングし、前記容量素子の下部電極に対応する領域及び前記抵抗素子に対応する領域に前記誘電体層を残す工程と、前記誘電体層及び第1の導電層を覆うように、前記第1の材料からなる第2の導電層を形成する工程と、前記第2の導電層の上に、金属もしくは金属シリサイドからなる第3の導電層を形成する工程と、前記第3の導電層の上に、前記容量素子の上部電極に対応する領域及び前記MOSFETのゲート電極に対応する領域を覆うマスク部材を形成する工程と、前記マスク部材をエッチングマスクとし、前記誘電体層をエッチング停止層として、前記マスク部材で覆われていない領域の前記第3及び第2の導電層を除去するとともに、前記誘電体層もしくはマスク部材で覆われていない領域の前記第1の導電層を除去する工程とを含み、前記容量素子が、前記第1の導電層により形成される下部電極、前記第2及び第3の導電層により形成される上部電極、及び該上部電極と下部電極との間に挟まれた前記誘電体層により構成され、前記抵抗素子が、前記第1の導電層により構成される半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、キャパシタを含む半導体装置及びその製造方法に関し、特に、アナログMOS集積回路装置の構成に適した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】半導体基板上に、MOSFET（金属-酸化膜-半導体構造の電界効果トランジスタ）等の能動素子、及び容量素子、抵抗素子等の受動素子を形成し、これらの素子を接続する金属配線パターンを形成したアナログ集積回路装置が知られている。従来、この種のアナログ集積回路装置を製作する際に、半導体基板上に容量素子及び抵抗素子を形成する方法として下記の方法が採られていた。

【0003】＜容量素子の形成方法＞

方法1：MOSFETのゲート電極を形成する際に、ゲート電極の材料（以下、ゲート材という）として使用されるポリシリコンまたはポリサイド（ポリシリコンと金属シリサイドとの積層）を用いて容量素子の下部電極を形成する。次に、誘電体膜で下部電極を覆う。誘電体膜の上に、下部電極に対向するようにポリシリコン層等による上部電極を形成する。

【0004】方法2：半導体基板を下部電極として利用する方法である。すなわち、基板表面にゲート酸化膜またはフィールド酸化膜を形成した後、酸化膜表面にゲート材層を堆積し、選択エッチングを施してゲート電極と同時に容量素子の上部電極を形成する。

【0005】方法3：多層配線における層間絶縁膜を利用する方法である。すなわち、ゲート電極と共に容量素子の下部電極を形成し、それらの上部を覆う層間絶縁膜を形成する。層間絶縁膜を挟んで下部電極と対向するように金属層またはゲート材による上部電極を形成する。また、2層配線プロセスを用いて集積回路装置を製造する場合には、下層の金属配線層を用いて下部電極を形成し、層間絶縁膜を挟んで対向するように上層の金属配線層を用いて上部電極を形成する。

【0006】＜抵抗素子の形成方法＞

方法4：半導体基板表面にMOSFETのソース/ドレインとなる拡散層を形成する際に、抵抗素子となる拡散層を形成する。

【0007】方法5：CMOS集積回路装置の場合には、ウェル層を抵抗として利用する。

【0008】方法6：ゲート電極層をパターニングすることにより抵抗素子を形成する。

【0009】

【発明が解決しようとする課題】上記方法は、下記の制限を有している。

【0010】方法1：ゲート電極を形成した後、容量素子に必要な適切な厚さの絶縁膜を成長させ、さらにその上に上部電極を形成するので、容量素子形成のために追加すべき工程数が多く、製造コストが高くなる。また、これらの追加工程の実施に伴って行われる熱処理により、MOSFETの電気的特性が所望の特性から変化してしまう。

【0011】方法2：下部電極が半導体基板であるので、下部電極の電位が基板の電位に固定される。従って、容量素子の一方の電極を電源または接地線に接続するような用途にしか適用することができない。ゲート酸化膜またはフィールド酸化膜の膜厚が厚く、目的とする静電容量が大きい場合、容量素子の占有面積が大きくなってしまふ。

【0012】方法3：層間絶縁膜の膜厚が適切でない場合、方法2の場合と同様に、容量素子の占有面積が大きくなってしまふ。また、層間絶縁膜には通常平坦化処理

が行われるので、膜厚が均一にならない。また、配線に注意しないと寄生容量の影響を受けやすく設計が容易ではない。

【0013】方法4及び5：拡散層を抵抗素子とするものであるため、拡散層と半導体基板との接合部に介在する大きな寄生容量が抵抗素子に付加される。このため、抵抗素子を構成要素とする回路の動作が寄生容量の悪影響を受ける。

【0014】方法6：集積回路装置の集積度の向上した今日においては、ゲート長の短縮によるゲート抵抗の増大を防止するため、ゲート材としてポリサイドが使用される場合が多い。しかし、ポリサイドの抵抗値を厳密に制御することは困難である。

【0015】本発明の目的は、過度の工程の複雑化及び製造コストの増大を招くことなく、かつMOSFET、容量素子、及び抵抗素子の電気的特性を犠牲にすることなく、これら各素子を含んだ半導体装置を提供することである。

【0016】

【課題を解決するための手段】本発明の一観点によると、半導体基板と、前記半導体基板の表面上に形成されたゲート絶縁膜と、前記半導体基板の表面上の一部の領域に形成され、第1の材料からなる第1の電極層、誘電体層、前記第1の材料からなる第2の電極層、及び金属もしくは金属シリサイドからなる第3の電極層がこの順番に積層された容量素子と、前記ゲート絶縁膜の上の一部の領域に形成され、前記第1の電極層と同時に堆積された第1のゲート層、及び前記第3の電極層と同時に堆積された第2のゲート層との積層構造を有するゲート電極とを有する半導体装置が提供される。

【0017】本発明の他の観点によると、半導体基板の表面上に形成されたMOSFET、及び下部電極、絶縁膜及び上部電極が前記半導体基板上にこの順番に積層されて形成された容量素子を含む半導体装置の製造方法において、半導体基板の表面上にゲート酸化膜を形成する工程と、前記ゲート酸化膜の上に、第1の材料からなる第1の導電層を形成する工程と、前記第1の導電層の上に誘電体層を形成する工程と、前記誘電体層の上に、前記第1の材料からなる第2の導電層を形成する工程と、前記第2の導電層及び前記誘電体層を部分的にエッチングし、前記容量素子の下部電極に対応する領域に前記第2の導電層及び前記誘電体層を残す工程と、前記第2の導電層、誘電体層及び第1の導電層を覆うように、金属または金属シリサイドからなる第3の導電層を形成する工程と、前記第3の導電層の上に、前記容量素子の上部電極に対応する領域及び前記MOSFETのゲート電極に対応する領域を覆うマスク部材を形成する工程と、前記マスク部材をエッチングマスクとし、前記誘電体層をエッチング停止層として、前記マスク部材で覆われていない領域の前記第3及び第2の導電層を除去するととも

に、前記誘電体層もしくはマスク部材で覆われていない領域の前記第1の導電層を除去する工程とを含み、前記容量素子が、前記第1の導電層により形成される下部電極、前記第2及び第3の導電層により形成される上部電極、及び該上部電極と下部電極との間に挟まれた前記誘電体層により構成される半導体装置の製造方法が提供される。

【0018】マスク部材をエッチングマスクとして第3及び第2の導電層をエッチングするときに、容量素子の上部電極と下部電極、及びMOSFETのゲート電極が同時に形成される。第3及び第2の導電層のエッチング時に、誘電体層がエッチング停止層として作用するため、容量素子の下部電極を誘電体層に自己整合してパターンニングできる。

【0019】本発明の他の観点によると、半導体基板と、前記半導体基板の表面上に形成されたゲート絶縁膜と、前記半導体基板の表面上の一部の領域に形成され、第1の材料からなる第1の電極層、誘電体層、前記第1の材料からなる第2の電極層、及び金属または金属シリサイドからなる第3の電極層がこの順番に積層された容量素子と前記ゲート絶縁膜の上の一部の領域に形成され、前記第1の電極層と同時に堆積された第1のゲート層、前記第2の電極層と同時に堆積された第2のゲート層、及び前記第3の電極層と同時に堆積された第3のゲート層の積層構造を有するゲート電極とを有する半導体装置が提供される。

【0020】本発明の他の観点によると、半導体基板の表面上に形成されたMOSFET、及び下部電極、絶縁膜及び上部電極が前記半導体基板上にこの順番に積層されて形成された容量素子を含む半導体装置の製造方法において、半導体基板の表面上にゲート酸化膜を形成する工程と、前記ゲート酸化膜の上に、第1の材料からなる第1の導電層を形成する工程と、前記第1の導電層の上に誘電体層を形成する工程と、前記誘電体層を部分的にエッチングし、前記容量素子の下部電極に対応する領域に前記誘電体層を残す工程と、前記誘電体層及び第1の導電層を覆うように、前記第1の材料からなる第2の導電層を形成する工程と、前記第2の導電層の上に、金属もしくは金属シリサイドからなる第3の導電層を形成する工程と、前記第3の導電層の上に、前記容量素子の上部電極に対応する領域及び前記MOSFETのゲート電極に対応する領域を覆うマスク部材を形成する工程と、前記マスク部材をエッチングマスクとし、前記誘電体層をエッチング停止層として、前記マスク部材で覆われていない領域の前記第3及び第2の導電層を除去するとともに、前記誘電体層もしくはマスク部材で覆われていない領域の前記第1の導電層を除去する工程とを含み、前記容量素子が、前記第1の導電層により形成される下部電極、前記第2及び第3の導電層により形成される上部電極、及び該上部電極と下部電極との間に挟まれた前記

誘電体層により構成される半導体装置の製造方法が提供される。

【0021】マスク部材をエッチングマスクとして第3及び第2の導電層をエッチングするときに、容量素子の上部電極と下部電極、及びMOSFETのゲート電極が同時に形成される。第3及び第2の導電層のエッチング時に、誘電体層がエッチング停止層として作用するため、容量素子の下部電極を誘電体層に自己整合してパターンニングできる。

【0022】

【発明の実施の形態】以下、本発明の実施例を図面を参照しつつ説明する。図1は、本実施例によるアナログMOS集積回路装置の製造工程を示すフローチャートである。なお、このフローチャートには、本実施例における特徴的な工程のみが示されており、通常のMOS集積回路装置の製造工程と共通する工程は省略されている。

【0023】図2は、図1に示す工程により作製されたアナログMOS集積回路装置の構成を示す平面図である。図2には、半導体基板100上に形成された容量素子C、抵抗素子R、金属配線M及びMOSFET50が例示されている。図3～図12は、図2に示す各素子が図1に示す各工程1a～1hの実施により順次形成されてゆく様子を示す図であり、図2の一点鎖線I-I'における断面図に対応している。以下、図3～図12を参照し本実施例による各製造工程を説明する。

【0024】図3に示されるシリコンからなる半導体基板100を準備する。図4に示すように、半導体基板100の表面上に所定の厚さのゲート酸化膜4を形成する。次に、ゲート酸化膜4の上に、SiN膜等からなるマスク膜（図示せず）を形成する。マスク膜は、半導体基板100の表面上への酸化膜の形成を妨げる。マスク膜を選択的に除去し、MOSFET等が形成される活性領域に対応する領域にマスク膜を残す。高温熱酸化処理を行い、マスク膜の除去された領域に厚いフィールド酸化膜3を形成する。マスク膜で覆われている活性領域では酸化膜が形成されず、薄いゲート酸化膜4のみが形成された状態になる。フィールド酸化膜3の形成後、マスク膜を除去する。図5は、この状態を示す。

【0025】図6に示すように、図1のポリシリコン堆積工程1aにおいて、基板表面上の全領域に化学気相成長（CVD）によりポリシリコン層2を堆積する。ポリシリコン層2の成長に使用される原料ガスは、SiH<sub>4</sub>（20%）とN<sub>2</sub>（80%）との混合ガス、流量は200sccm、成長時の圧力は30Pa、基板温度は600℃である。基板温度を上記温度よりもかなり低くすると、ポリシリコンの代わりにアモルファスシリコンが成長する。この場合、基板温度を上記温度以上まで加熱すると、アモルファスシリコンが結晶化してポリシリコンになる。

【0026】図1の不純物拡散工程1bにおいて、不純

物濃度が約 $10^{20}\text{cm}^{-3}$ になるように、ポリシリコン層2にリン等の不純物を一様に拡散させる。次に、誘電体膜形成工程1cにおいて、図7に示すように、ポリシリコン層2の表面上に容量膜として使用される誘電体膜1をコンフォーマルに堆積する。誘電体膜1は、シリコン酸化膜の単層で構成してもよいし、シリコン酸化膜とシリコン窒化膜との積層構造または酸化タンタル膜とシリコン酸化膜との積層構造としてもよい。

【0027】また、誘電体膜1を、2層のシリコン酸化膜の間にシリコン窒化膜が挟まれた3層構造としてもよい。シリコン窒化膜の代わりにシリコン酸化窒化膜を用いてもよい。

【0028】例えば、シリコン酸化膜は原料ガスとしてテトラエチルオルソシリケート（TEOS）とオゾン（O<sub>3</sub>）を含む混合ガスを用いたプラズマ励起型CVDにより、またはエレクトロンサイクロトロン共鳴（ECR）プラズマを用いたCVDにより形成される。

【0029】また、シリコン酸化膜をプラズマCVDで形成されるフォスフォシリケートガラス（PSG）膜またはボロフォスフォシリケートガラス（BPSG）膜としてもよい。また、シリコン酸化膜をポリシリコン膜の熱酸化により形成してもよいし、スピンオンガラス（SOG）法により形成してもよい。誘電体膜の材料と膜厚は、この誘電体膜を挟んで好適な静電容量Cが得られるように選ぶ。

【0030】図1に示すポリシリコン堆積工程1dにおいて、誘電体膜1の上にCVDにより2層目のポリシリコン層6aを堆積する。ポリシリコン層6aの堆積は、SiH<sub>4</sub>とN<sub>2</sub>を2：8の割合で混合したガスを用い、圧力30Pa、流量200sccm、基板温度600℃の条件の下で行う。基板温度を上記温度よりもかなり低くすると、ポリシリコンに代わってアモルファスシリコンが堆積する。この場合、基板を上記温度以上に加熱することにより、アモルファスシリコンを結晶化してポリシリコンにすることができる。

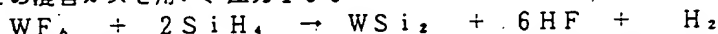
【0031】下層のポリシリコン層2の場合と同様に、不純物濃度が約 $10^{20}\text{cm}^{-3}$ になるように、ポリシリコン層6aにリン等の不純物をドーピングする。図1に示す2層目のポリシリコン堆積工程1dの前に熱処理を行うことにより、最終的に形成される容量素子Cの信頼性を向上させることができる。これは、誘電体膜の緻密化により誘電体膜の電氣的、物理的性質が改善されるため、及びポリシリコン層6aの堆積前後の熱処理時の誘電体膜からのデガス及び応力変化によってポリシリコン層6aが剥がれにくくなるためと考えられる。特に、ポリシリコン層6aと誘電体膜1との間の密着性がより強くなる。ポリシリコン層2中の不純物の再拡散を防止することもできる。

【0032】図1のバターニング工程1eにおいて、ポリシリコン層6aの表面上にノボラック系フォトレジス

ト等のフォトリソレジストを塗布する。フォトリソレジストを選択的に露光及び除去して、容量素子C及び抵抗素子Rを形成すべき領域にフォトリソレジストパターンを残す。図8に示すように、残されたフォトリソレジストパターンをエッチングマスクとし、ポリシリコン層6aと誘電体膜1を除去する。このようにしてポリシリコン層6aと誘電体膜1を選択的に除去し、容量素子Cと抵抗素子Rが形成されるべき領域にこれらの積層構造を残す。

【0033】ポリシリコン層6aの除去は、エッチングガスとして $\text{Cl}_2$ と $\text{O}_2$ との混合ガス、 $\text{CF}_4$ ガス、または $\text{SF}_6$ ガスを用い、圧力数mTorrの条件下でマイクロ波プラズマエッチング（周波数2.45GHz）またはECRプラズマエッチングにより行う。

【0034】誘電体膜1のエッチングに伴って、後にMOSFETのゲート電極となるポリシリコン層2の表面処理が行われる。従って、基板を清浄に保つことができ、かつポリシリコン層に対する誘電体膜のエッチング選択比が高くなるようなエッチング方法を用いることが好ましい。例えば、誘電体膜1が下層にシリコン酸化膜を有する積層構造である場合、上層をドライエッチングにより除去し、下層のシリコン酸化膜を安定なエッチングが可能なバッファードフッ酸（ $\text{HF} + \text{NH}_4\text{F} + (\text{H}_2\text{O})$ ）等により除去する。上層は、エッチングガスとして $\text{CF}_4$ と $\text{CHF}_3$ との混合ガスを用い、圧力160



の反応を利用して $\text{WSi}_2$ 膜を堆積する。

【0039】高融点金属シリサイド層6bは、 $\text{MoSi}_x$ 、 $\text{TiSi}_x$ 、 $\text{TaSi}_x$ 等により形成される。また、高融点金属シリサイド層6bを高融点金属シリサイドの代わりに金属で形成してもよい。なお、本明細書中で単に「金属」と表記した場合、金属シリサイドをも含む場合がある。

【0040】高融点金属シリサイド層の堆積後、層間絶縁膜の形成前に約1100℃の熱処理を行い、高融点金属シリサイドの容量素子電極とポリサイドゲート電極の電気抵抗を低減させる。

【0041】図10に示すように、図1のゲート電極等のパターンニング工程1gを実施する。まず、最初に高融点金属シリサイド層6bの表面上にフォトリソレジストを塗布する。フォトリソレジストを選択的に露光及び除去し、容量素子Cの上部電極L2とMOSFET50のゲート電極Gが形成される領域にフォトリソレジストパターンを残す。

【0042】図1のポリサイドエッチング工程1hにおいて、残されたフォトリソレジストパターンをエッチングマスクとし、通常のポリサイドエッチングを行う。ポリサイド電極は、住友金属工業株式会社から入手可能なECRプラズマエッチング装置を用いてエッチングされる。エッチングガスは、 $\text{Cl}_2 + \text{O}_2$ ガスであり、それぞれのガス流量が25sccmと11sccmである。ま

mTorrの条件下でRFプラズマエッチングにより除去してもよい。このとき、RFパワーを約700W、周波数を13.56MHzとする。

【0035】図8に示すように、ポリシリコン層6aと誘電体膜1をエッチングした後、容量素子Cと抵抗素子Rの上のフォトリソレジスト5a及び5bを除去する。残された誘電体膜が容量素子の下部電極と抵抗素子を画定する。

【0036】図1の高融点金属シリサイド層堆積工程1fにおいて、図9に示すように $\text{WSi}_x$ 等の高融点金属シリサイド層6bを堆積し、ポリシリコン層2、6a及び誘電体膜1をコンフォーマルに覆う。

【0037】タングステンシリサイド（ $\text{WSi}_x$ ）膜は、スパッタリングまたはCVDにより形成される。スパッタリングにより形成する場合には、例えばターゲットとして $\text{WSi}_x$ を用い、スパッタリングガスとしてArを用いたマグネトロンスパッタリング装置を使用する。また、 $\text{WSi}_x$ 膜の堆積は圧力数mTorrの条件下で行う。CVDにより形成する場合には、例えば原料ガスとしてタングステンヘキサフルオライド（WF<sub>6</sub>）とシラン（ $\text{SiH}_4$ ）を用い、

【0038】

【化1】

た、例えば圧力約2mTorr、RF電力40W、RF周波数13.56MHz、マイクロ波パワー1400W、マイクロ波周波数2.45GHz、電極温度15~20℃の条件下でエッチングを行う。

【0043】この結果、高融点シリサイド層6bとポリシリコン層6aが選択的にエッチングされ、容量素子Cの上部電極L2及びMOSFETのゲート電極Gが同時に形成される。また、誘電体膜1で覆われていない領域のポリシリコン層2が除去される。誘電体膜1がエッチング停止層として作用するため、抵抗素子Rと容量素子Cの下部電極L1が誘電体膜1に残されている領域に自己整合的に同時に形成される。

【0044】誘電体膜1はエッチング停止層として作用するが、エッチングガスによりわずかにエッチングされる。この場合、容量素子領域のうち上部電極L2の配置されていない領域及び抵抗素子Rが形成される領域の誘電体膜1がわずかにエッチングされる。容量素子領域の誘電体膜1は、抵抗素子R上の誘電体膜とほぼ等しい厚さ及び面一な表面を有する。

【0045】ポリサイド及びポリシリコンのエッチング工程の後、高融点金属シリサイド層上のフォトリソレジストパターン7a、7bを除去する。図10に示すように、ゲート電極Gに対応する部分では、ポリシリコン層2の上にシリサイド層6bが形成され、全体としてポリサイド電極が形成される。



【0046】次いで、通常のMOS集積回路装置の製造と同様の工程を順次実行する。すなわち、ソース及びドレイン領域10形成のためのイオン注入及び熱拡散、層間絶縁膜20の形成、電極取り出しのためのコンタクトホールCNの形成、金属配線Mの堆積とパターニング等の工程を順次行う。

【0047】低温度ドレイン(LDD)構造のMOSFETを作製する場合は、図11に示すように、ポリサイドエッチングの後、サイドウォールスペーサ8を形成する。サイドウォールスペーサ8は、CVDによる絶縁膜の堆積とリアクティブイオンエッチング(RIE)を用いて形成する。最終的に、図12に示す断面構造を有するアナログMOS集積回路装置が完成する。本実施例の製造方法を用いて作製した集積回路装置は、(1)容量素子の下部電極の厚さにほぼ等しいポリシリコン層を有するゲート電極と、(2)抵抗素子の導電性部分の上面と面一の上面を有する容量素子の下部電極とを有する。

【0048】図3〜図12では、典型的な例として1つのMOSFETを示したが、図13はnチャネルMOSFET50NとpチャネルMOSFET50Pを含むCMOS構成を示す。CMOS構成にする場合には、フィールド酸化膜3を形成する前に活性領域にウェルを形成する。例えば、シリコン基板100がp型である場合には、pチャネルMOSFET50Pを形成すべき領域にn型ウェル11を形成する。nチャネルMOSFET50NとpチャネルMOSFET50Pのそれぞれのゲート電極GN、GPは、図1に示すポリサイドエッチング工程1hまでの工程と同一の工程で同時に形成される。

【0049】ソース及びドレイン領域形成のための熱拡散工程において、nチャネルMOSFET50Nのソース及びドレイン領域10Nには、リン等のn型不純物を、pチャネルMOSFET50Pのソース及びドレイン領域10Pには、ボロン等のp型不純物を拡散させる。なお、所望のしきい値電圧を得るために、図5に示す工程において活性領域を画定した後、チャネル領域に所定濃度の不純物を添加してもよいし、図6に示すポリシリコン層2を形成後、nチャネルMOSFET50NもしくはpチャネルMOSFET50Pのゲート電極と隣接する領域に適切な不純物を添加してゲート電極の仕事関数を変化させてもよい。

【0050】上述のように、容量素子C、抵抗素子R、ゲート電極GN、GPが同一製造工程により形成されるため、CMOSTランジスタの動特性や最適設計が維持される。精度の高い容量素子Cと抵抗素子Rを低コストかつ短工程で容易に作製することができる。

(5) 【0051】図14は、Si/SiO<sub>2</sub>/Si構造のキャパシタと、Si/SiO<sub>2</sub>/金属構造の容量素子の静電容量の変化を電極間に印加するバイアス電圧の関数として示す。横軸は直流バイアス電圧を単位Vで表し、縦軸は直流バイアス電圧0V時の静電容量を基準としたと

きの容量変化率を単位ppmで表す。2つの容量素子のSi電極にはともに不純物濃度 $2 \times 10^{20} \text{ cm}^{-3}$ のn型不純物が添加されている。Si/SiO<sub>2</sub>/金属構造の容量素子の場合、金属電極に正電圧を印加したときの直流バイアス電圧を正としている。

【0052】曲線p及びqは、それぞれSi/SiO<sub>2</sub>/金属構造の容量素子及びSi/SiO<sub>2</sub>/Si構造の容量素子の動作周波数1MHzにおける容量変化率の計算結果を示す。なお、動作周波数を10kHzとしても計算結果はほぼ同一である。

【0053】Si/SiO<sub>2</sub>/金属構造の容量素子の場合、金属電極に正電圧を印加すると、Si層のSiO<sub>2</sub>層側の界面近傍に蓄積層が形成され、静電容量が増加する。このため、印加電圧を増加させると曲線pで示すように、容量変化率も徐々に増加し、金属/SiO<sub>2</sub>/金属構造の容量素子の静電容量に近づく。逆に、金属電極に負の電圧を印加すると、Si層のSiO<sub>2</sub>層側の界面近傍に空乏層が形成され、静電容量が減少する。このため、印加電圧を減少させると容量変化率が負の向きに増加する。

【0054】Si/SiO<sub>2</sub>/Si構造の容量素子の場合には、バイアス電圧を印加すると一方のSi電極に蓄積層が形成され、他方のSi電極に空乏層が形成される。このため、曲線qで示すようにSi/SiO<sub>2</sub>/金属構造の容量素子に比べて印加電圧に対する容量変化率が小さくなる。

【0055】このように、容量素子Cの2つの電極の少くなくと誘電体との界面近傍を共にポリシリコンとすることにより、静電容量の電圧依存性を低減することができる。なお、上記考察からわかるように、誘電体との界面近傍のポリシリコンの厚さを空乏層が形成される厚さよりも厚くすることが好ましい。

【0056】さらに、容量素子C、抵抗素子R、及びゲート電極GN、GPが同一工程で形成される。このため、誘電体膜形成工程1cにおいて、エッチング停止層として作用する誘電体膜形成のための高温熱処理を行うのみでよく、その他の高温熱処理を行う必要がない。複数回の高温熱処理を行う必要がないため、熱処理によるCMOS特性の劣化を低減することができる。また、LDD構造形成のためのイオン注入やソース/ドレイン領域形成のための高温度のイオン注入を行う前に、各誘電体膜形成のための熱処理を行う。このため、誘電体膜の膜質改善のための比較的高温の熱処理を施しても、CMOS特性の劣化の程度を低く抑えられる。

【0057】LDD構造を形成するためのCVD膜のエッチバック工程(サイドウォールスペーサ形成)がある場合には、抵抗素子として作用するポリシリコン層の表面がわずかに削られ、抵抗値にばらつきが生ずる場合がある。しかし、上記実施例では、誘電体膜1を適切に選択することにより、誘電体膜1をエッチング保護膜とし

SW-ESに於

CAP-SiO<sub>2</sub> (A<sub>2</sub>成)に於

等、711d

て活用することができ、高精度の抵抗素子を容易に形成することが可能になる。

【0058】エッチング保護膜として用いた誘電体膜1は十分薄いため、除去する必要はなく、層間絶縁膜の一部として残しても半導体製造工程に支障が生ずることはない。

【0059】さらに、ゲート電極GN及びGPがポリサイド構造を有するため、ポリシリコン単層の場合に生じやすいイオン注入時の不純物の突き抜けによるCMOS特性の劣化の恐れが少なく、製造条件を変更することは不要である。

【0060】さらに、ゲート材による配線もポリサイド構造を有するため、低抵抗を維持することができ、回路の高速動作が可能になる。MOSFETのゲート電極が、ポリシリコン層と高融点金属シリサイド層との積層からなるポリサイド構造を有する。ポリサイドゲート構造の下層部分を構成するポリシリコン層が容量素子の下部電極と同時に堆積される。ポリサイドゲート構造の上層部分を構成する高融点金属シリサイド層が容量素子の上部電極の一部と同時に堆積される。このため、容量素子の上部電極の下層部分を構成するポリシリコン層を形成する工程を追加するのみで容量素子を形成することができる。

【0061】また、容量素子の下部電極となるポリシリコン層の堆積工程が、抵抗素子形成のためのポリシリコン層の堆積を兼ねている。このため、抵抗素子形成のための工程の追加を回避することができる。また、容量素子中の誘電体膜の堆積と同時に抵抗素子保護のための誘電体膜を抵抗素子上に堆積しているため、抵抗素子の保護膜形成のための新たな工程を追加する必要がない。

【0062】次に、図15～図18を参照して、本発明の他の実施例について説明する。図15のポリシリコン堆積工程2aから誘電体膜形成工程2cまでの製造工程は、図1に示すポリシリコン堆積工程1aから誘電体膜形成工程1cまでの工程と同様である。

【0063】図16に示すように、誘電体膜1を堆積後、図15のバタニング工程2dにおいて、フォトリソグラフィ技術を用い、容量素子C及び抵抗素子Rを形成する領域以外の誘電体膜1を除去する。

【0064】図17に示すように、ポリシリコン層2及び誘電体膜1を覆うようにポリシリコン層6cを堆積する。ポリシリコン層6cは、図7のポリシリコン層6aと同様の方法で堆積する。次に、図15に示す高融点金属シリサイド層堆積工程2fにおいて、ポリシリコン層6cの上に、図9に示す高融点金属シリサイド層6bと同様の方法で、高融点金属シリサイド層6dを堆積する。

【0065】次に、図15に示すゲート電極等のバタニング工程2gにおいて、図10、図11で説明した方法と同様の方法で、容量素子C、抵抗素子R及びゲート

電極Gを形成する。さらに、図12及び図13で説明した方法と同様の方法でnチャネルMOSFET50NとpチャネルMOSFET50Pを形成し、コンタクトホールを開け、配線を形成する。

【0066】上記他の実施例の製造方法を用いて作製した集積回路装置は、(1)容量素子の下部電極と2層目のポリシリコン層との合計の厚さにほぼ等しいポリシリコン層を有するゲート電極と、(2)抵抗素子の導電性部分の上面と面一の上面を有する容量素子の下部電極とを有する。

【0067】図18は、他の実施例で製造した容量素子C、抵抗素子R及びnチャネルMOSFET50NとpチャネルMOSFET50Pの断面図を示す。nチャネルMOSFET50NとpチャネルMOSFET50Pのゲート電極GN及びGPがポリシリコン層2と6c及び高融点金属シリサイド層6dとの3層構造になっている点のみが図13に示すゲート電極GN、GPと異なり、容量素子C及び抵抗素子Rの構造は図13に示すものと同様である。

【0068】ゲート電極GN、GPは3層構造であるが、下の2層は共にポリシリコン層であるため、この2層を同一導電型にすれば実質的に図13に示すゲート電極GN、GPと同一構造となる。従って、図15～図18に示す他の実施例によっても図3～図12に示す実施例と同様の効果を得ることができる。

【0069】上記2つの実施例ではMOSFETのゲート電極あるいは容量素子の電極としてポリシリコンを使用した場合について説明したが、ポリシリコンの代わりにアモルファスシリコンを用いてもよい。

【0070】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0071】

【発明の効果】以上説明したように、本発明によれば、製造工程の複雑化、製造コストの大幅な増大を招くことなく、かつMOSFET、容量素子及び抵抗素子の電気的特性を大幅に劣化させることなく、これら各素子を含んだ半導体装置を簡便に製造することができる。

【図面の簡単な説明】

【図1】 本発明の実施例による半導体装置の製造方法を説明するためのフローチャートである。

【図2】 図1に示す製造工程により製造される半導体装置の構造を示す平面図である。

【図3】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図4】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図5】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図6】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図7】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図8】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図9】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図10】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図11】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図12】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図13】 図1に示す半導体装置の製造工程を説明するための基板の断面図である。

【図14】 容量素子の静電容量の変化率を、容量素子

の電極間に印加される電圧の関数として示すグラフである。

【図15】 本発明の他の実施例による半導体装置の製造方法を説明するためのフローチャートである。

【図16】 図15に示す半導体装置の製造工程を説明するための基板の断面図である。

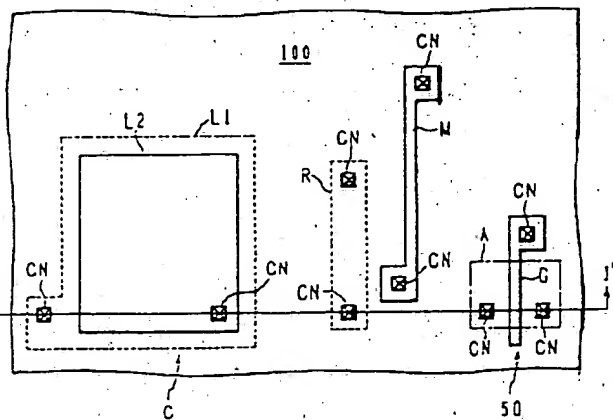
【図17】 図15に示す半導体装置の製造工程を説明するための基板の断面図である。

【図18】 図15に示す半導体装置の製造工程を説明するための基板の断面図である。

【符号の説明】

1…誘電体膜、2、6a、6c…ポリシリコン層、3…フィールド酸化膜、4…ゲート酸化膜、5a、5b、7a、7b…フォトリソ、6b、6d…高融点金属シリサイド層、10…ソース/ドレイン領域、11…n型ウェル、50…MOSFET、100…半導体基板

【図2】



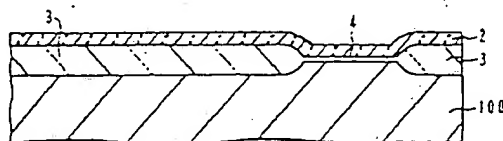
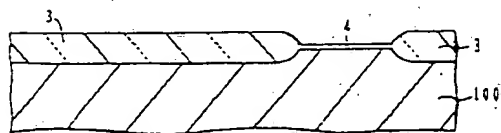
【図3】

【図4】

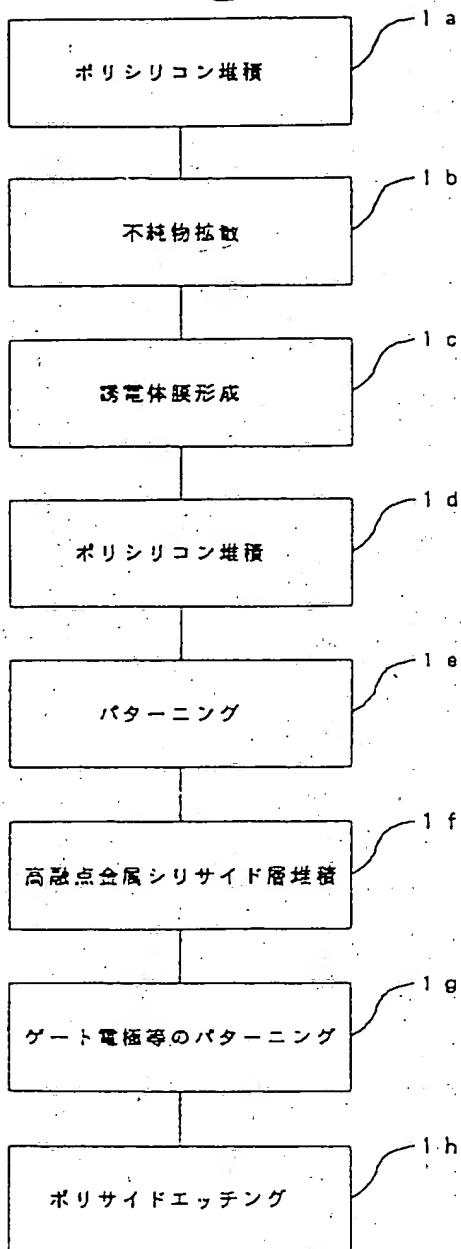


【図5】

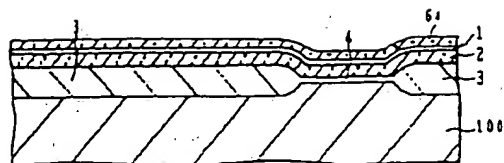
【図6】



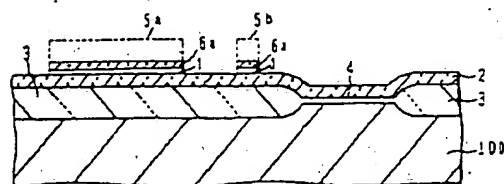
【図1】



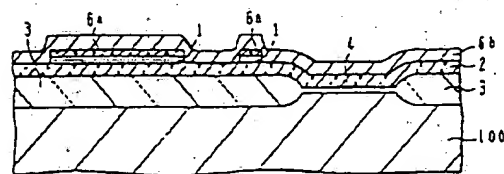
【図7】



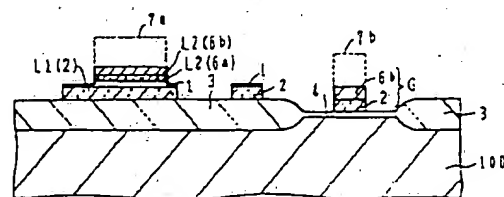
【図8】



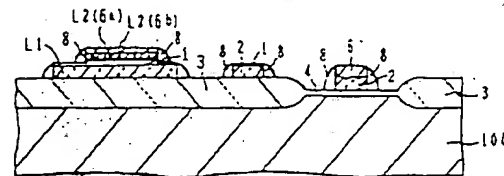
【図9】



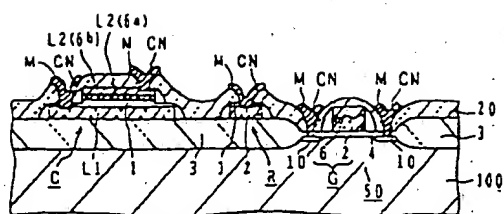
【図10】



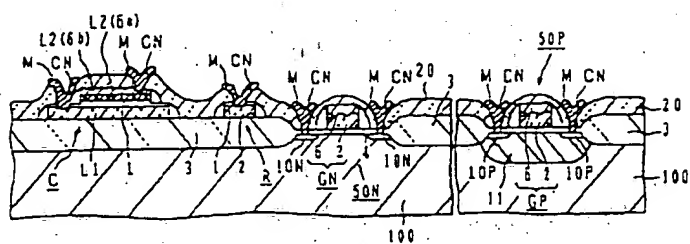
【図11】



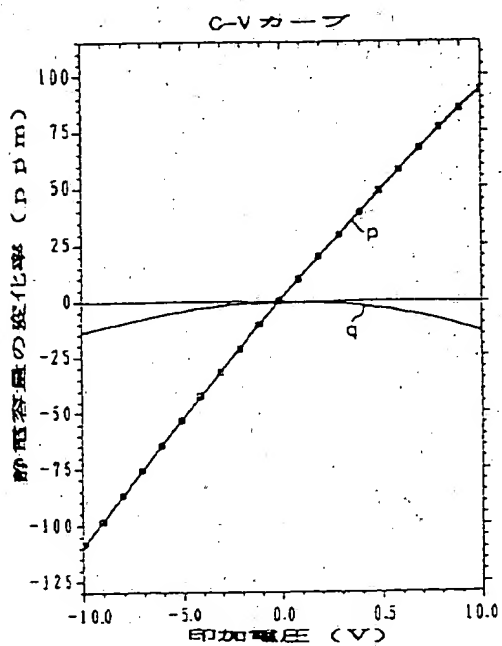
【圖 12】



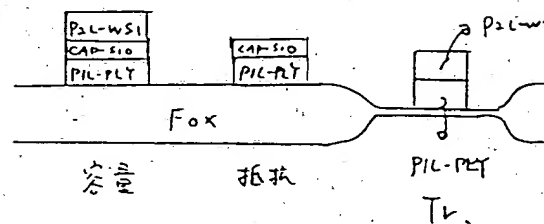
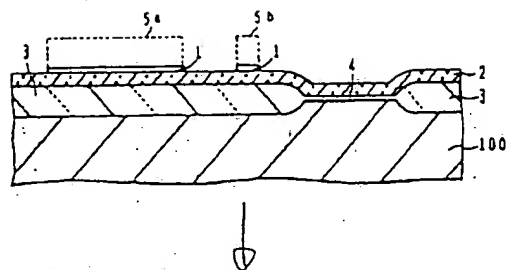
【图 13】



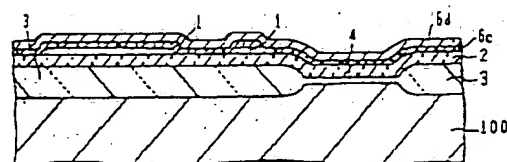
【例 14】



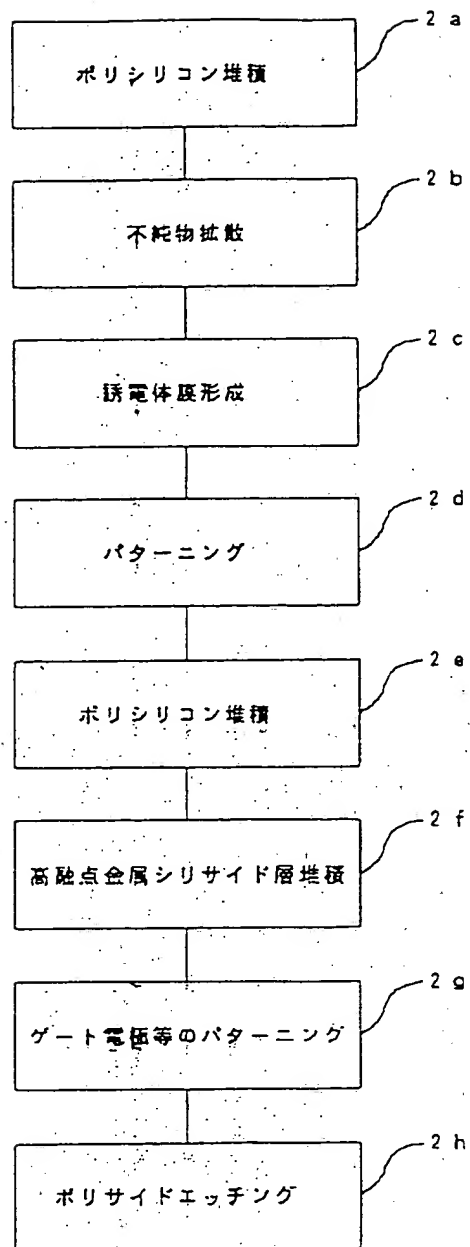
【图 16】



【图 17】



【図15】



【図18】

